

**JAPAN PATENT OFFICE**

**PATENT LAID-OPEN OFFICIAL GAZETTE**

Laid-Open No.

H.2-5455

Laid-Open

H.2 (1990) Jan. 10



---

Application No.: S.63-154723

Filed: S.63 (1988) June 24

Inventors: Joji Okada  
1450 Josuihon-cho, Kodaira-shi, Tokyo  
Musashi Works, Hitachi, Ltd.

Applicant: 000005108  
Hitachi, Ltd.  
4-6, Kanda Surugadai, Chiyoda-ku, Tokyo

Attorney, Agent: Katsuo Ogawa and another

# 1. TITLE OF THE INVENTION

Chip-on-Chip Semiconductor Device

## 2. WHAT IS CLAIMED

1. A chip-on-chip semiconductor device, in which an all-in-one device containing two different stacked chips (chip-on-chip) that require independent wafer processes during fabrication of semiconductor elements, is mounted, fixed, and sealed on a support, being characterized by that said all-in-one device is packaged in such a way that a chip containing a semiconductor element that requires different wafer processes to those for an E<sup>2</sup>PROM element is bonded to another chip containing an E<sup>2</sup>PROM element, with the latter chip fitted face-down using electrode projections on each chip.

2. A chip-on-chip semiconductor device, as described in claim 1, being characterized by that a chip-on-chip type all-in-one device is fixed by potting in polyimide synthetic resin liquid.

## 3. DETAILED DESCRIPTION OF THE INVENTION

[Scope of Utilization in Industry]

This invention relates to a technology for improving all-in-one devices, which incorporate all functions on a single wafer and require independent wafer processes for the different functions, resulting in an increased number of processes, higher cost, and more frequent occurrence of defects. In particular, this invention relates to the technology for achieving an all-in-one function module

containing an E<sup>2</sup>PROM element and a different type of element without incurring the above problems.

[Prior Art]

In the conventional packaging system for multi-chip modules, the on-substrate method is usually used, in which multiple chips are mounted on a single substrate. However, this method increases the package size and the parasitic capacitance due to printed circuit lines and bonding, thus reducing speed.

To solve these problems, an all-in-one device, which incorporates all the functions on a single wafer, has been proposed.

The all-in-one device is described in patent no. S.62-136865, for example.

[Problems to be Solved by the Invention]

However, the above all-in-one device incorporating all the functions on a single wafer requires different wafer processes; for example, several processes are necessary for both ion implantation and diffusion. In particular, the mask process may require more masks. This results in an increased number of processes, higher cost, larger chip size, and more frequent occurrence of defects, thus inevitably deteriorating yield. Particularly, when fabricating all-in-one devices such as standard cells and single-chip microcomputers that contain electrically erasable programmable read-only memory (E<sup>2</sup>PROM) elements and different types of elements such as random access memory (RAM), many additional processes are required such as a process of separating the well concentration as a high breakdown voltage process, a process of forming MNOS

and FLOTOX structures, and a process of creating the Zener diodes. This is because the E<sup>2</sup>PROM, i.e., the memory element, requires high voltage for writing data. Therefore, although the device area necessary for a single E<sup>2</sup>PROM element is only 1/4 to 1/10 of the entire wafer, separate mask processes are necessary for the E<sup>2</sup>PROM, and a total of five to ten additional mask processes are necessary for the all-in-one device. This may result in a significant number of defects during fabrication.

This invention is developed as a solution to the above problems, specifically, the objective of this invention is to provide effective technology for achieving all-in-one device free without the disadvantages of conventional technology such as increased number of processes, higher cost, larger chip size, and deteriorated yield, which are likely to be caused particularly when semiconductor elements such as an E<sup>2</sup>PROM element and a different type of element are contained on a single wafer.

The objectives and novel features of this invention will be clarified by the following specification description together with accompanying drawings.

[Means for Solving the Problem]

A typical example of the invention disclosed in this application is briefly summarized in the following.

In this invention, when fabricating an all-in-one device, which incorporates all functions on a single wafer, using all-in-one processes, one of the chips is used as a base chip and the other chip is mounted and bonded to the base chip (chip-on-chip bonding), with the latter chip fitted face-down using the bump electrodes formed on each chip. Specifically, the base chip is a non-E<sup>2</sup>PROM element

and the other chip is an E<sup>2</sup>PROM element, which would require independent wafer processes if fabricated on a single wafer.

The above all-in-one device obtained using the chip-on-chip bonding method is mounted and fixed on a support by potting in polyimide synthetic resin liquid, and then the device is sealed with plastic, for example.

#### [Operation]

The above configuration, where the chip containing the E<sup>2</sup>PROM element is mounted on the base chip, allows a conforming chip to be selected independently for each chip, and requires no modification of masks for a single wafer, thus decreasing the number of defects and improving yield. Such chip-on-chip configuration simplifies processing compared to the case when the all-in-one device is fabricated using different wafer processes, and can thus reduce chip size. Furthermore, since chips are bonded via bumps in contrast to the conventional on-substrate method, long inter-chip wirings are not necessary, thus reducing wiring capacitance and resistance.

#### [Embodiment]

This invention is described below based on an embodiment shown in accompanying drawings.

As shown in figure 1, bumps 2 are provided on the periphery of the surface of base chip 1.

Similarly, bumps 4 are provided on the periphery of the surface of chip 3 containing the E<sup>2</sup>PROM element.

As indicated by the arrow in figure 1, chip 3 containing the E<sup>2</sup>PROM element is turned upside-down and bonded to the surface of base chip 1.

Figure 2 shows a typical cross section of the main section of chip 3 containing the E<sup>2</sup>PROM element.

In figure 2, component 5 is a device area, component 6 is an insulation film, component 7 is electrode wiring, component 8 is a passivation film, component 9 is a Cr layer, component 10 is a Cu layer, and component 11 is an Au layer. On the surface of the Au layer, bumps 4 of Au or solder, for example, are provided as projections.

Base chip 1 in figure 1 is configured similarly.

Base chip 1 is a monocrystalline silicon substrate, for example, in which a large number of circuit elements are formed using the common technology for a particular circuit function. For example, MOS transistors are formed as circuit elements and provide the logic circuit function and the memory circuit function.

Base chip 1 is a single-chip microcomputer, for example, which incorporates functions such as the central processing unit (CPU), memories (RAM and ROM), and input/output circuits (I/O ports).

Similarly, chip 3 containing the E<sup>2</sup>PROM element, which is mounted on the other chip, is a monocrystalline silicon substrate, for example, in which a large number of circuit elements are formed using the common technology to be provided with a particular circuit function. For example, MOS transistors are formed as circuit elements and achieve the memory circuit function (E<sup>2</sup>PROM).

Figure 5 is a system block diagram of this invention.

Base chip 1 (single-chip microcomputer) is shown as incorporating CPU 12, RAM 13, ROM 14, I/O port 15, and timer 16.

Chip 3 containing the E<sup>2</sup>PROM element is mounted and connected using bumps 2 and 4. Such chip-on-chip bonding forms the all-in-one device.

Figure 3 shows a cross section of the main section for illustrating an embodiment of this invention. Chip 3 is bonded to base chip 1 using melted bumps 2 and 4 formed on the chips, and is then mounted on support 17; and chips 1 and 3 are fixed by potting in polyimide synthetic resin liquid fixing material 18, for example.

Figure 4 shows a general view of the semiconductor device using this invention, where the device is partially cut away.

Support 17 is a lead frame, for example, on the tab of which the all-in-one device obtained by chip-on-chip bonding is mounted. Wire-bonding pads (not shown) around base chip 1 and the inner leads of lead frame 17 are bonded using Au bonding wires 18, for example, and resin-sealed area 19 is formed by transfer molding, for example. In the processes including the above major processes, chip-on-chip semiconductor device 20 shown in figure 4 is obtained.

With this invention, an all-in-one device is easily obtained because chip 3 containing an E<sup>2</sup>PROM element is bonded to base chip 1 (single-chip microcomputer) using melted bumps 2 and 4 formed on chips 1 and 3. By contrast, achieving all the functions on a single wafer without

using such a chip-on-chip packaging method results in increased number of processes, higher cost, larger chip size, and more frequent occurrence of defects. This invention effectively eliminates all these problems.

In addition, wiring capacitance and resistance can also be reduced.

This invention was described above in detail based on an embodiment. However, this invention is not restricted to this embodiment; various modifications are possible without deviating from the essential points of the invention.

In the above descriptions, this invention is applied to the resin-sealed semiconductor device as a representative application field. However, this invention is not restricted to this application; it also applies to hermetically sealed semiconductor devices.

#### [Advantages of the Invention]

Typical advantages obtained from the invention disclosed in this application are briefly described in the following.

This invention allows easy fabrication of all-in-one devices, simplifies processing, reduces cost, improves yield, reduces wiring capacitance, and miniaturizes chip area.



#### 4. BRIEF DESCRIPTION OF THE DRAWINGS

Figure 1 is a perspective view of an embodiment using this invention.

Figure 2 is a cross-sectional view of the main section of an embodiment using this invention.

Figure 3 is a cross-sectional view of the main section of an embodiment using this invention.

Figure 4 is a perspective view of an embodiment using this invention, where the embodiment is partially cut away.

Figure 5 is a system block diagram of an embodiment using this invention.

- 1: base chip
- 2: bump (electrode projections)
- 3: chip containing an E<sup>2</sup>PROM element
- 4: bump
- 5: device area
- 6: insulation film
- 7: electrode wiring
- 8: passivation film
- 9: Cr layer
- 10: Cu layer
- 11: Au layer
- 12: CPU
- 13: RAM
- 14: ROM
- 15: I/O port
- 16: timer
- 17: lead frame
- 18: bonding wire
- 19: resin-sealed area

20: semiconductor device

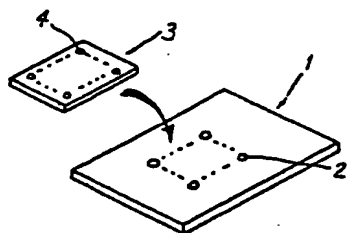


Figure 1

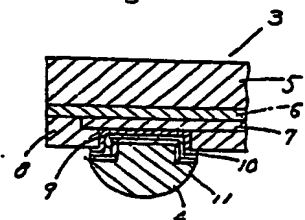


Figure 2

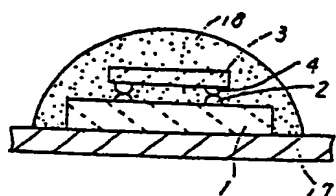


Figure 3

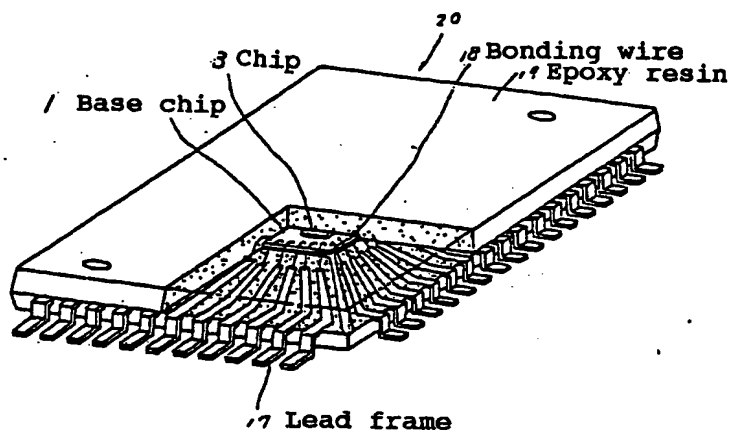


Figure 4

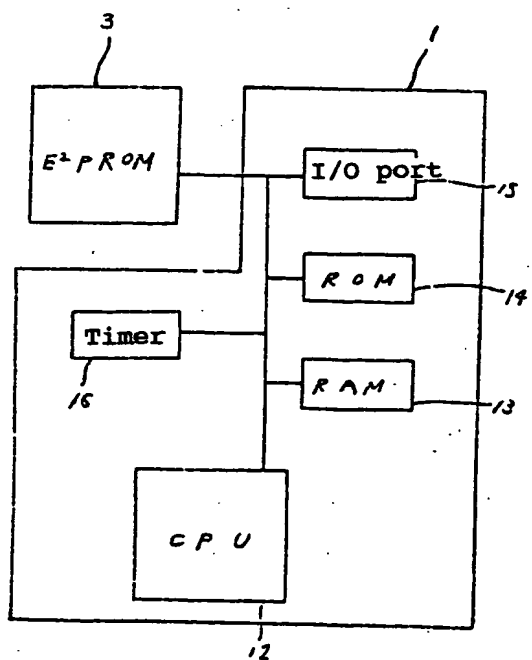


Figure 5

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-5455

⑬ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)1月10日

H 01 L 25/065  
25/07  
25/18  
29/788  
29/792

7638-5F  
7514-5F

H 01 L 25/08  
29/78

3 7 1 B

審査請求 未請求 請求項の数 2 (全5頁)

⑮ 発明の名称 チップオンチップの半導体装置

⑯ 特 願 昭63-154723

⑰ 出 願 昭63(1988)6月24日

⑱ 発 明 者 岡 田 譲 二 東京都小平市上水本町1450番地 株式会社日立製作所武蔵工場内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

チップオンチップの半導体装置

2. 特許請求の範囲

1. 半導体素子の形成に際し、異なるウエハプロセスを必要とする一のチップ上に他のチップをチップオンチップで実装してなるオールインワンデバイスが、支持体上に搭載し、固定し、封止してなる半導体装置において、前記オールインワンデバイスが、E<sup>2</sup>PR<sup>2</sup>OM素子とは異なるウエハプロセスを必要とする半導体素子を含む一のチップ上にE<sup>2</sup>PR<sup>2</sup>OM素子を含む他のチップを、フェイスダウンボンディングにより、かつ、これらチップに形成された突起電極部分を接合させることにより実装してなることを特徴とするチップオンチップの半導体装置。

2. ポリイミド系合成樹脂液のポッティングによりチップオンチップのオールインワンデバイスが固定してなることを特徴とする請求項1記載のチップオンチップの半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、同じウエハにおいて形成しようとする場合には異なるウエハプロセスを必要とし、その結果、工程が長くなり、コストが高くなり、不良も出やすくなる、全ての機能を一つにしたいいわゆるオールインワンデバイスの改良技術に関し、特に、E<sup>2</sup>PR<sup>2</sup>OM素子とこれ以外の素子とを一つにした機能モジュールのオールインワンを、上記欠点を解消して実現することのできる技術に関する。

(従来の技術)

従来のマルチチップモジュールにおける実装方式は、一般に、多数のチップを単一基板に搭載するオンサブスレート方式が採用されているが、これでは、パッケージサイズが大きくなるばかりでなく、プリント配線またはボンディングにより寄生容量が大きくなりスピードが遅くなるなどの欠点がある。

そのため、同じウエハ上で、全ての機能を一つにしたオールインワンデバイスを実現しようと

することが提案されている。

なお、オールインワンデバイスについて述べた特許の例としては、特開昭62-136865号公報があげられる。

( 発明が解決しようとする課題 )

しかし、同じウエハ上で全ての機能をつづけたオールインワンデバイスを実現しようとする場合には、異なるウエハプロセスを必要とし、例えば、イオン注入工程を何回にも分けて行う必要があったりあるいは拡散工程を何回にも分けて行う必要があったりし、特に、マスク工程において、そのマスク枚数を多く必要とする場合があり、これでは、工程が長くなり、コスト高となり、チップサイズも大きくなり、不良も出やすく歩留も低くならざるを得ない。特に、E<sup>2</sup>PROM (Electrically Erasible Programmable Read Only Memory、電気的に書き替え可能な読み出し専用記憶素子) 素子とこれ以外の例えばRAM (Random Access Memory) 素子などを含むスタンダードセルやチップマイ

コンなどに係るオールインワンデバイスを実現する場合、E<sup>2</sup>PROMは書き込み時に高電圧を使用する必要がある記憶素子であるために、高耐圧プロセスとしてのウエル濃度分離工程やMNO<sub>3</sub>構造およびFLOTOX構造作成工程やツエナダイオード作成工程などを要し、そのために、ウエハ当りのE<sup>2</sup>PROM作成のためのデバイス領域は僅かに1/4~1/10にしか過ぎないのに、そのためのマスク工程を別に要し、マスク工程を都合5~10回程度余分に必要とする。そのために、不良ばかりを作り込むことにもなりかねない。

本発明は、かかる従来技術の有する欠点を解消して、特に、E<sup>2</sup>PROM素子とこれ以外の素子のごとく、同じウエハ上に半導体素子を形成するとしたら、工程が長くなり、コスト高となり、チップサイズも大となり、また、歩留が低くなるとこれら従来技術の欠点を解消したオールインワンデバイスを実現することのできる技術を提供することを目的とする。

本発明の前記ならびにそのほかの目的と新規な

特徴は、本明細書の記述および添付図面からあきらかになるであろう。

( 課題を解決するための手段 )

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

本発明では全ての機能をつづけたオールインワンデバイスにおいて、それを、同じウエハ上にオールインワンプロセスにより製造しようとする場合には、異なるウエハプロセスを必要とする、E<sup>2</sup>PROM素子とそれ以外の素子とについて、後者の素子を含むチップをベースとし、当該ベースチップ上に、E<sup>2</sup>PROM素子を含むチップを、フェイスダウンボンディングによるチップオンチップで、それぞれのチップに形成された突起電極(パンプ)部分により接合するようにした。

また、当該チップオンチップによるオールインワンデバイスを支持体上に搭載し、固定するにポリイミド系合成樹脂液のポッティングにより固定するようにし、当該固定後にプラスチック封止な

どによる封止を行うようにした。

( 作 用 )

このように、ベースチップ上にE<sup>2</sup>PROM素子を含むチップを実装する方法によれば、各チップとして良品を選定することができ、また、同一ウエハ上でマスクを変更する必要がなく不良品を低減し、歩留を向上することができるし、また、チップ上にチップを搭載すれば良いので、異なるウエハプロセスによりオールインワンデバイスを実施する場合に比して、プロセスが簡略化され、チップサイズも小型化することができ、さらに、チップとチップとをパンプにより接続するので、従来のオンサブプレート方式のごとく、チップ間を接続するにその配線を長くする必要がなくなり、配線容量や抵抗を低減することができる。

( 実施例 )

次に、本発明の実施例を図面に基づいて説明する。

第1図に示すように、ベースチップ1の裏面内側にパンプ2を周設する。

一方、E<sup>2</sup>PROM素子を含むチップ3の表面にもパンプ4を周設する。

第1図で矢印で示すように、E<sup>2</sup>PROM素子を含むチップ3を裏返して、ベースチップ1の表面に接合させる。

第2図にE<sup>2</sup>PROM素子を含むチップ3の一例要部断面を示す。

第2図にて、5はデバイス領域、6は絶縁膜、7は電極配線、8はパッシベーション膜、9はCr層、10はCu層、11はAu層で、当該Au層11表面には例えばAuや半田よりなるパンプ4が突設されている。

第1図に示すベースチップ1も同様の構成より成る。

ベースチップ1は、例えばシリコン単結晶基板から成り、周知の技術によってこのチップ内には多数の回路素子が形成され、1つの回路機能が与えられている。回路素子の具体例は、例えばMOSトランジスタから成り、これらの回路素子によって、例えば論理回路およびメモリの回路機能が

パンプ2、4により接続されている。当該チップオンチップによりオールインワンデバイスが形成される。

第3図は本発明の実施例を示す要部断面図を示す。ベースチップ1上に上記チップ3を、これらチップに形成されたパンプ2、4を溶融して接合後に、支持体17上に搭載して、例えばポリイミド系合成樹脂液よりなる固定材料18をポッティングして、これらチップ1、3を固定する。

第4図に本発明による半導体装置の全体を、その一部を切欠して示す。

上記支持体17は例えばリードフレームよりなり、当該リードフレーム17のタブ部上に、上記チップオンチップによるオールインワンデバイスを搭載し、ベースチップ1の周辺のワイヤボンディング用パッド(図示省略)とリードフレーム17のインナーリードとを例えばAu線よりなるボンディングワイヤ18にてワイヤボンディングし、例えばトランスファーモールドにて樹脂封止部19を形成して、封止を行うことを主要工程として、

形成されている。

ベースチップ1は、例えば1チップマイクロコンピュータよりなり、当該チップ内には、CPU(中央処理装置)やメモリ(RAM, ROM)や入出力回路(I/Oポート)などを内蔵している。

チップオンされるE<sup>2</sup>PROM素子を含むチップ3も、例えばシリコン単結晶基板から成り、周知の技術によってこのチップ内には多数の回路素子が形成され、1つの回路機能が与えられている。回路素子の具体例は、例えばMOSトランジスタから成り、これらの回路素子によって、メモリ(E<sup>2</sup>PROM)の回路機能が形成されている。

第5図に、本発明におけるシステムブロック図を示す。

ベースチップ(1チップマイクロコンピュータ)1には、CPU12, RAM13, ROM14, I/Oポート15, タイマ16を内蔵している例を示す。

このベースチップ1と該ベースチップ1上に搭載されたE<sup>2</sup>PROM素子を含むチップ3とは、

第4図に示すようなチップオンチップの半導体装置20を得ることができる。

本発明によればベースチップ(1チップマイクロコンピュータ)1上にE<sup>2</sup>PROM素子を含むチップ3を、これらチップ1、3に形成されたパンプ2、4を溶融接合させることにより容易にオールインワンデバイスを得ることができ、このようにチップオンチップの実装方式によらないで、同じクエハにおいて、これら全ての機能を一つにしたものを製造するには、工程数がかかり過ぎ、コストも高くなり、また、チップサイズも大きくなり、さらに、不良も出やすくなるが、本発明によればこれら欠点を解消することができる。

また、配線容量や配線抵抗も低減させることができる。

以上本発明者によってなされた発明を実施例にもとづき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である樹脂封止型半導体装置に適用した場合について説明したが、それに限定されるものではなく、気密封止型半導体装置にも適用することができる。

〔発明の効果〕

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

本発明によれば、オールインワンデバイスを容易に実現でき、プロセスが簡略化され、原価の低減となり、歩留が向上し、配線容量が小さくなり、チップ面積を小さく済ますことができた。

4. 図面の簡単な説明

第1図は本発明の実施例を示す斜視図、

第2図は本発明の実施例を示す要部断面図、

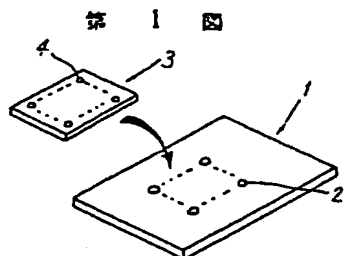
第3図は本発明の実施例を示す要部断面図、

第4図は本発明の実施例を示す一部切欠斜視図、

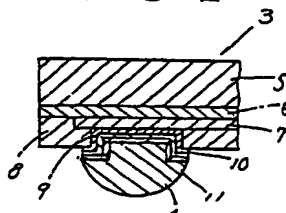
第5図は本発明の実施例を示すシステムブロック図である。

1…ベースチップ、2…パンプ(突起電極部分)、3…E<sup>2</sup>PROM素子を含むチップ、4…パンプ、5…デバイス領域、6…絶縁膜、7…配線配線、8…バンプベシオン膜、9…Cr層、10…Cu層、11…Au層、12…CPU、13…RAM、14…ROM、15…I/Oポート、16…タイマ、17…リードフレーム、18…ボンディングワイヤ、19…樹脂封止部、20…半導体装置。

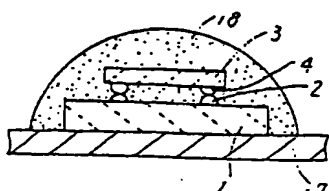
代理人 弁理士 小川 勝 男



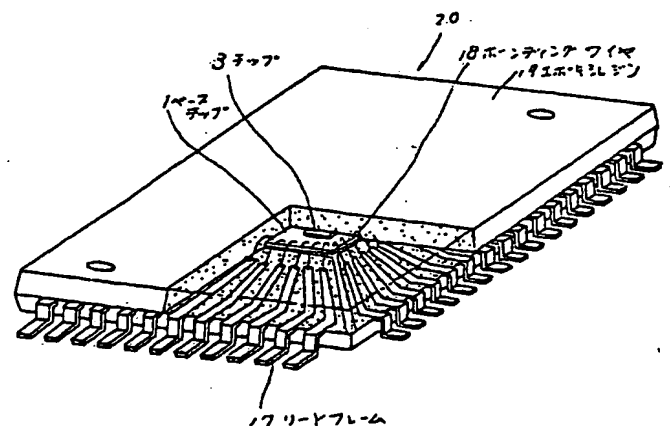
第 2 図



第 3 図



第 4 図



第 5 図

